



LABORATÓRIO NACIONAL
DE ENGENHARIA CIVIL

CENTRO DE INSTRUMENTAÇÃO CIENTÍFICA
Núcleo de Sistemas Electrotécnicos

Proc. 1102/11/17806

FO-SINC

Sistema de transmissão por fibra óptica dos sinais de sincronismo de módulos de aquisição de dados

Desenvolvimento de sistemas modulares para reduzir
a necessidade de intervenção humana nos ensaios
laboratoriais correntes

Lisboa • Outubro de 2010

I&D INSTRUMENTAÇÃO CIENTÍFICA

RELATÓRIO 319/2010 – NSE

RESUMO

FO-Sinc Sistema de transmissão por fibra óptica dos sinais de sincronismo de módulos de aquisição de dados

FO-Sinc Fiber Optics transmission system of data acquisition modules synchronization signals

FO-Sinc Système de transmission par fibre optique des signaux de synchronisation de modules d'acquisition de données

Índice

1. Introdução	1
2. Os sinais de sincronismo	4
3. Solução preconizada	5
4. Solução desenvolvida	8
5. Resultados obtidos.....	9
6. Conclusões.....	13
7. Referências bibliográficas	15
Anexo 1 - Desenho Esquemático do Circuito FO-Sinc: Master	
Anexo 2 - Desenho Esquemático do Circuito FO-Sinc: Slave	

Lista de Figuras

Figura 1	- Sistema de aquisição com um <i>e.pac</i> e vários módulos <i>e.bloxx</i>	1
Figura 2	- Exemplo da montagem de um <i>e.pac</i>	2
Figura 3	- Exemplo de uma rede de aquisição de dados	3
Figura 4	- Observação do sinal de <i>Reset</i> em relação ao sinal de <i>Clock</i>	5
Figura 5	- Ligação Sincronismo por Fibra óptica	6
Figura 6	- Ligação redundante Sincronismo por Fibra óptica	7
Figura 7	- Multiplexagem e demultiplexagem dos sinais de <i>Clock</i> e <i>Reset</i>	9
Figura 8	- Aspecto de um “ <i>slave</i> ”	10
Figura 9	- Sinais de “ <i>Clock</i> ” à entrada do “ <i>master</i> ” e à saída dos “ <i>slaves</i> ”	11
Figura 10	- Tempo de atraso do sinal do “ <i>Clock</i> ” entre “ <i>slaves</i> ” – Flanco positivo ..	11
Figura 11	- Tempo de atraso do sinal do “ <i>Clock</i> ” entre “ <i>slaves</i> ” – Flanco negativo..	11
Figura 12	- Sinais de “ <i>Reset</i> ” à entrada do “ <i>master</i> ” e à saída dos “ <i>slaves</i> ”	12
Figura 13	- Tempo de atraso do sinal do “ <i>Reset</i> ” – Flanco positivo.....	12
Figura 14	- Relações temporais dos sinais de “ <i>Reset</i> ” – Flanco negativo.....	13

Página intencionalmente deixada em branco.

1. Introdução

Os sistemas de observação do comportamento dinâmico de estruturas recentemente em instalação, baseiam-se em unidades de aquisição da marca *Gantner*. Estas são constituídas por um controlador (*e-gate* ou *e-pac*) ao qual se ligam unidades condicionadoras (*e-bloxx*) de conversão analógico-digital ou digital-analógico e de entrada/saída digital de forma a conseguir a configuração adequada às funções que deve desempenhar (cf. Figura 1).

No texto que se segue designaremos os controladores por *e-pac*, quer se tratem de *e-gates* ou *e-pacs*, uma vez que, sob o ponto de vista funcional que interessa para o caso presente, são muito semelhantes.

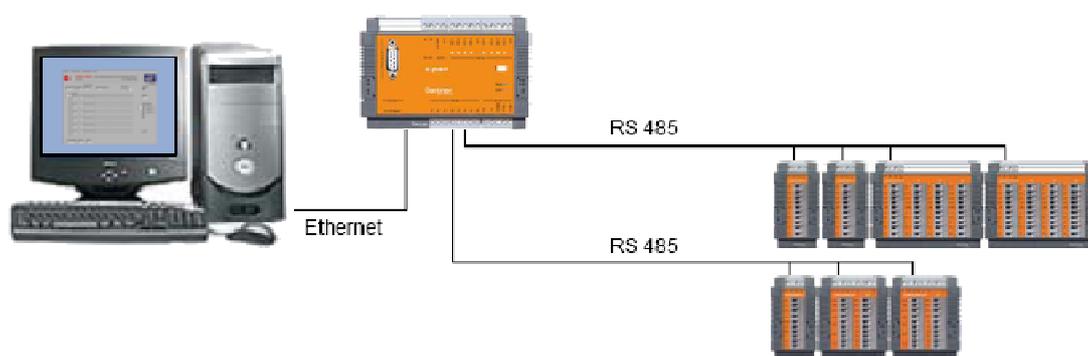


Figura 1 - Sistema de aquisição com um *e.pac* e vários módulos *e.bloxx*

Os *e-bloxx's* ligam-se aos *e-pac's* através de uma interface normalizada EIA-RS485 USA [1] (implementada no *e-pac* através de quatro *UART - universal asynchronous receiver/transmitter*, pelo que a unidade controladora dispõe de 4 redes RS485 independentes). O *e.pac* coordena as funções de aquisição dos *e.bloxx's*, procede à concentração e armazenamento local de dados, resultantes da observação estrutural, e realiza as funções de nó de comunicação no sistema. Através da sua interface *Ethernet* é possível a um programa de aquisição e gestão de sistemas de aquisição de dados, instalado num servidor, aceder aos dados digitalizados que se encontram armazenados num *buffer* do *e.pac* (transferindo-os para um disco ou base de dados do servidor), assim como, controlar algumas funções do *e.pac* (*Reset* remoto, acerto da data, etc.). Os dados armazenados no servidor serão posteriormente analisados e processados automaticamente, por outros módulos de *software* desenvolvidos para o efeito.

Em princípio, às unidades de aquisição assim constituídas está associado um conjunto de transdutores fisicamente próximos (cf. Figura 2) minimizando o comprimento dos cabos de transporte dos sinais analógicos o que permite uma redução do ruído electromagnético induzido e dos problemas gerados pelas diferenças de potencial provocados por descargas atmosféricas ou pela operação na vizinhança de equipamentos de grande potência eléctrica.

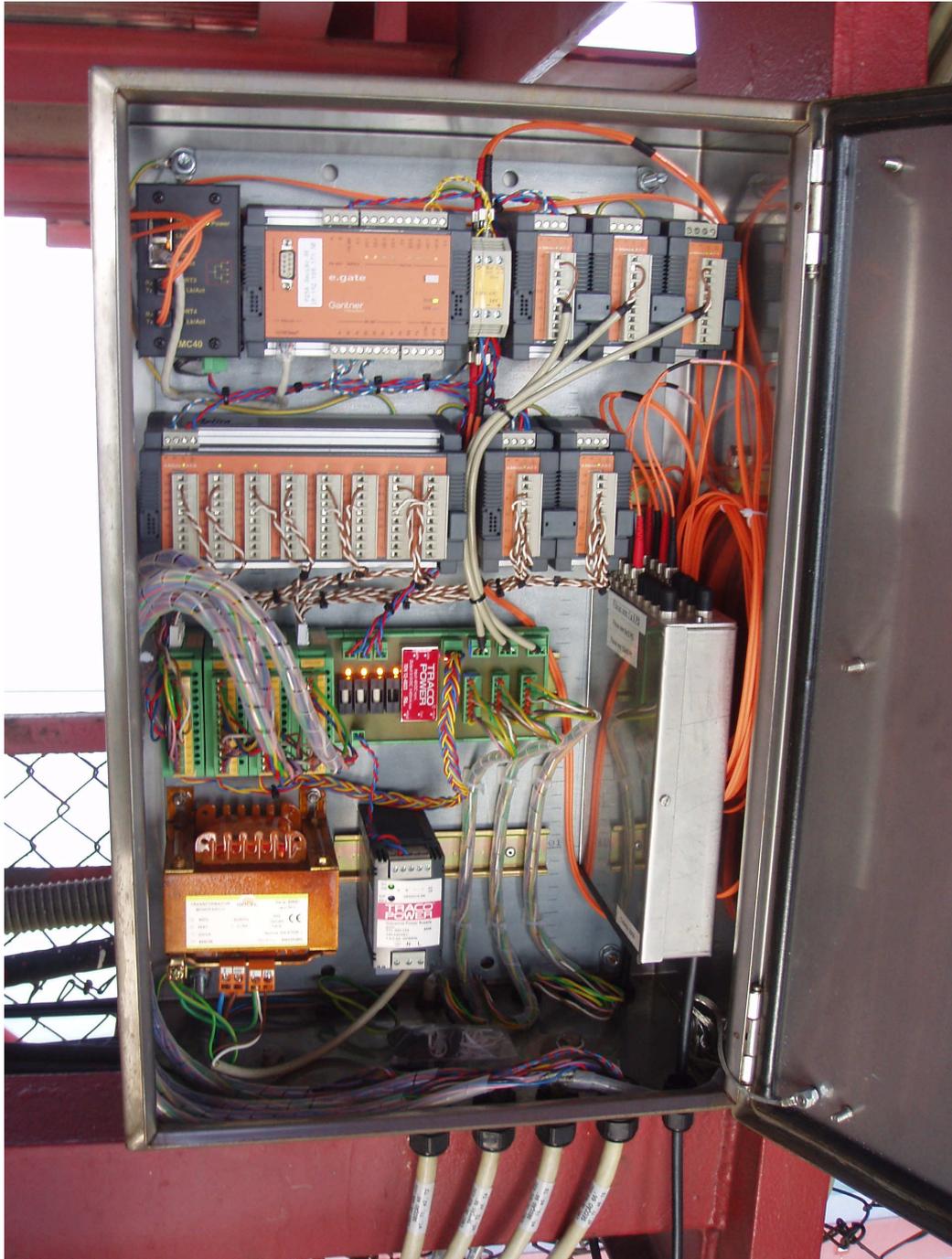


Figura 2 -Exemplo da montagem de um *e.pac*

Os *e-pac* gerem todo o processo de aquisição de dados, garantindo, designadamente, o sincronismo da amostragem de sinal nos diversos *e-bloxx* a eles ligados. De realçar que os módulos não multiplexados (por exemplo, os *e-bloxx-A1*) possuem um conversor analógico-digital por canal o que permite a amostragem simultânea dos sinais.

A concepção modular do sistema *e.pac/e.bloxx*, permite a sua utilização em sistema de aquisição de dados (SAD) mais complexos, mantendo a mesma filosofia de estruturação da rede utilizando vários *e.pacs*. Na Figura 3 pode-se observar que são utilizados quatro *e.pacs* que concentram localmente os valores dos sinais digitalizados nos módulos de digitalização (*e.bloxx's*) a si ligados, sendo o sistema gerido por um *software* de aquisição e gestão de sistemas de aquisição de dados instalado num Servidor.

A sincronização da aquisição de dados entre *e-pacs* é feita por *hardware* através de dois sinais digitais (*Clock* e *Reset*), embora, para frequências de amostragem baixas, a sincronização se possa fazer via TCP/IP.

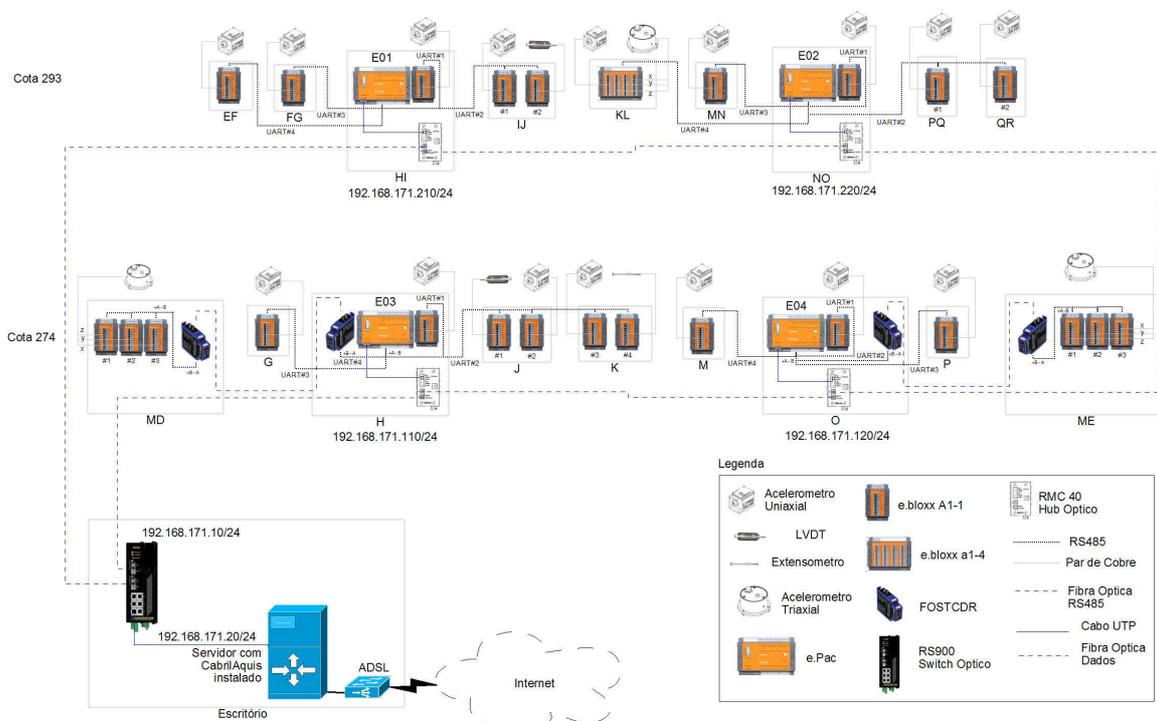


Figura 3 - Exemplo de uma rede de aquisição de dados

De um modo geral, as secções instrumentadas encontram-se a várias dezenas de metros umas das outras, pelo que se torna quase imperativo a utilização de fibra óptica para a transmissão de sinais entre *e-pacs* de modo a garantir o isolamento galvânico¹ entre unidades e eliminar interferências electromagnéticas causadoras de erros de transmissão. Este último aspecto é particularmente importante em obras ferroviárias onde circulam composições de tracção eléctrica.

Para a transmissão dos sinais por fibra óptica, torna-se necessário a utilização de conversores ópticos que transformem os sinais eléctricos em sinais ópticos (e vice-versa). Os sinais ópticos correspondentes aos sinais eléctricos (*Clock* e *Reset*), essenciais para assegurar o sincronismo entre as diferentes secções, são transmitidos através de fibra óptica.

Para a transmissão de dados, efectuada com recurso à rede Ethernet, existem conversores para fibra óptica disponíveis no mercado que satisfazem as necessidades. No entanto, para os sinais de sincronismo, não foi possível encontrar conversores com as características adequadas pelo que houve necessidade de desenvolver equipamento específico. O presente relatório descreve com detalhe a solução desenvolvida.

2. Os sinais de sincronismo

Quando configurados para tal, os *e-pac* usam dois sinais de sincronismo, designados por “*Clock*” e “*Reset*” disponíveis nos terminais “IO8” e IO7” respectivamente. Estes sinais são gerados por um único *e-pac*, configurado como *master*. Todos os outros *e-pac* na rede são configurados como *slaves* recebendo os sinais de sincronismo do *master*.

O sinal de *Clock* é uma onda quadrada de 100 μ s de período (a roxo na Figura 4) e constitui a base de tempo para todos os *e-pac*. O sinal de *Reset* (a azul claro) ocorre quando se pretende sincronizar os contadores internos (*time-stamp counter*) de todos os *e-pac*'s que recebem o sinal enviado pelo *e-pac Master*. Funcionalmente, pressupõe-se que o *time-stamp counter* será posto a zero no flanco ascendente do *Clock* quando o sinal de *Reset* está *low*. Esta pressuposição baseia-se na observação dos sinais e do comportamento do equipamento, uma vez que a literatura disponível não é suficientemente detalhada.

¹ Garantia que não existe nenhum fluxo de corrente eléctrica entre as secções do sistema

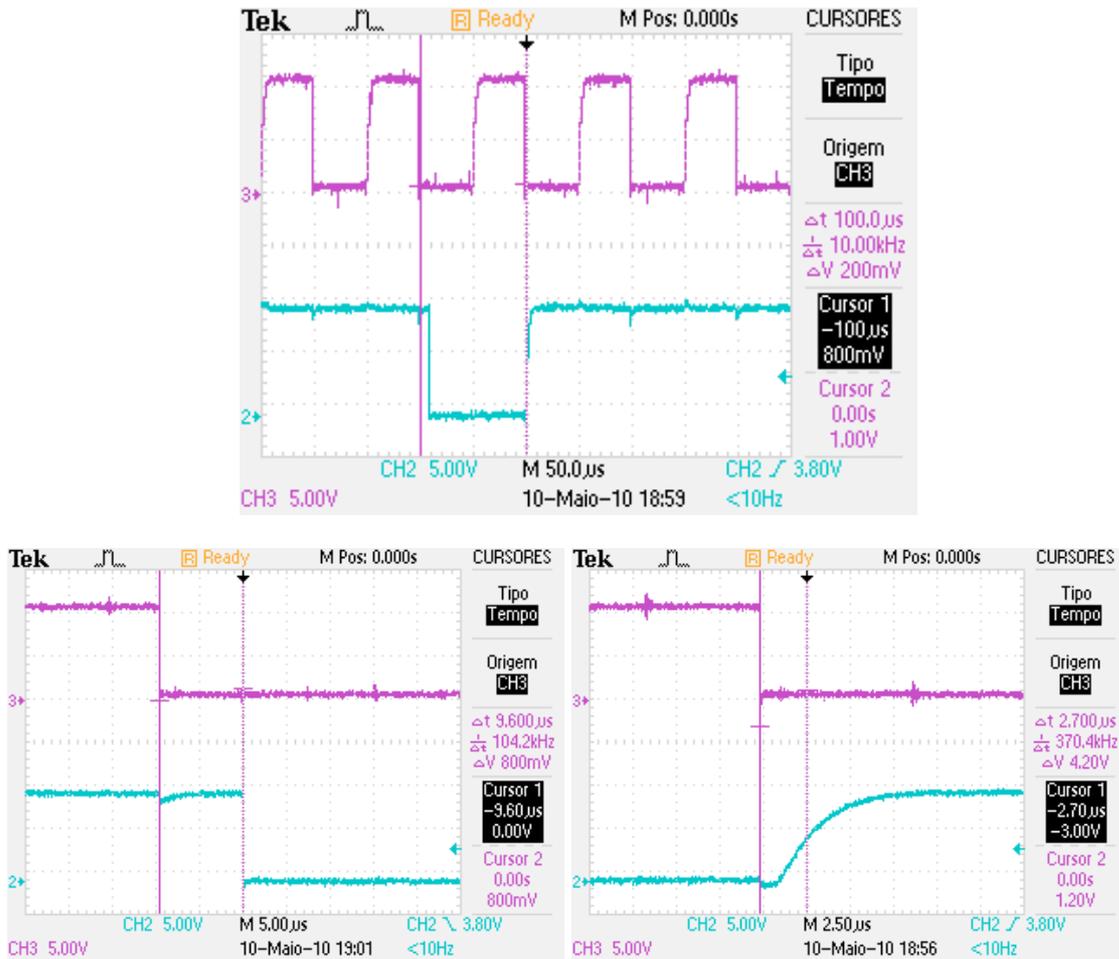
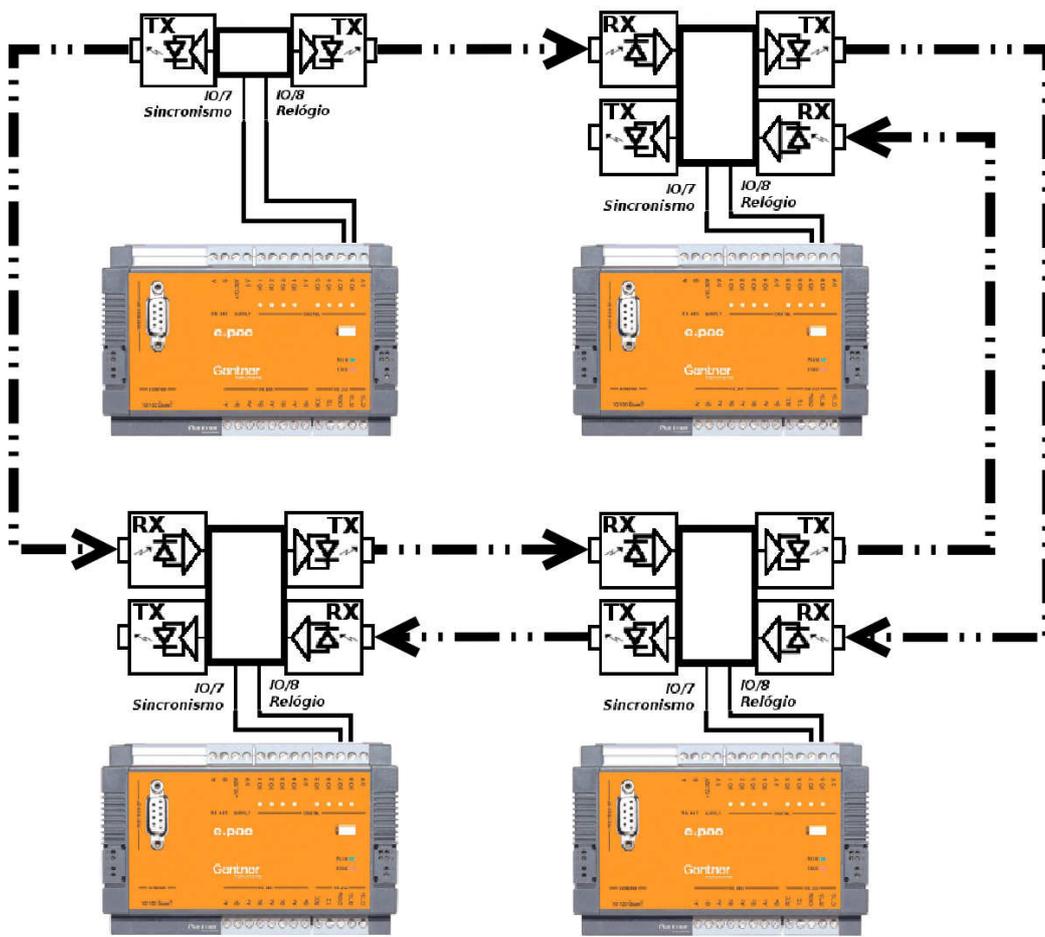


Figura 4 – Observação do sinal de *Reset* em relação ao sinal de *Clock*

Como se pode ver na Figura 4, o sinal de *Reset* é activado (*low*) com um atraso de cerca de 10 μ s em relação ao flanco negativo do *Clock* e passa a *high* poucos microssegundos após o flanco negativo subsequente. Tem pois uma duração aproximada de um período do *Clock*, isto é, de 100 μ s.

3. Solução preconizada

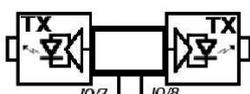
Numa primeira aproximação para solucionar este problema, considerou-se a utilização de conversores simples de sinal lógico eléctrico para sinal lógico luminoso transmissível por fibra óptica. No *master* os sinais eléctricos, *Clock* e *Reset*, seriam os fornecidos pelo *e-pac*, enquanto que, nos *slaves*, estes sinais seriam obtidos por conversão dos sinais ópticos anteriores para sinais eléctricos (Figura 5) utilizando conversores óptico-eléctrico. Os sinais eléctricos resultantes seriam injectados nas entradas de sincronismo dos *e-pac slave*. Para concretizar esta solução eram necessárias duas fibras, uma para transmissão do *Clock* e outra para transmissão do *Reset*.



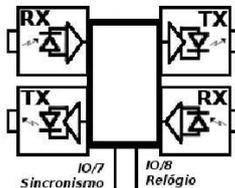
Legenda :



e.pac



Circuito Master



Circuito Slave

— · — · — · —
Ligação Fibra Óptica

Figura 6 - Ligação redundante Sincronismo por Fibra óptica

Nesta configuração seriam usadas 4 fibras para implantar o sincronismo, o que se julgou exagerado. Assim, dada a sua simplicidade, optou-se por multiplexar os sinais de *Clock* e *Reset* num só sinal, que designaremos doravante por *Sinc*. Mantendo a redundância, reduz-se assim o número de fibras dedicadas ao sincronismo a duas, o que pareceu aceitável. A solução desenvolvida é descrita detalhadamente no capítulo que se segue.

4. Solução desenvolvida

Da análise dos sinais de sincronismo *Clock* e *Reset*, entendeu-se adequado que o sinal multiplexado, *Sinc*, fosse basicamente o sinal de *Clock* ao qual se adicionaria um pequeno impulso (da ordem dos 250 ns) gerado no flanco negativo do sinal de *Reset*, como se mostra na Figura 7. Este impulso, designado por M2 na documentação associada ao projecto, foi atrasado (M1) relativamente àquele flanco de cerca de 250 ns, para obviar a possíveis conflitos, dada a falta de informação existente no que se refere ao *hardware* da Ganter.

A regeneração dos sinais de sincronismo resulta simples. Para obter o sinal de *Clock* basta filtrar o impulso adicionado para o que é gerado um impulso com uma duração superior ao atraso entre os flancos negativos do sinal de *Clock* e *Reset* originais (cerca de 10 ms) e inferior ao semi-período do sinal de *Clock* (50 ms). Considerou-se adequada uma duração aproximada de 20 ms para este sinal, designado na documentação associada ao projecto por M3 ($Clock=Sinc.!M3$).

Este mesmo sinal, M3, serve também para isolar o impulso adicionado ($!CLR=!M3.Sinc$) que fará o *Reset* de um *flip-flop* do tipo D que é rearmado no flanco ascendente do sinal M4, um impulso gerado, tal como M3, no flanco descendente de *Sinc*, mas com uma duração muito mais curta, cerca de 200 ns. Desta forma é regenerado o sinal de *Reset* que vai a *low* com $!CLR$ e volta a *high* no flanco ascendente de M4.

O sinal *Sinc* é obtido, nos *slaves*, pela soma dos sinais *Sinc1* e *Sinc2* provenientes dos receptores ópticos das duas linhas redundantes de sincronismo. *Sinc1* e *Sinc2* são também as entradas dos respectivos transmissores, minimizando-se assim atrasos de propagação dos sinais.

FO-Sinc: SyncSlave V04.1

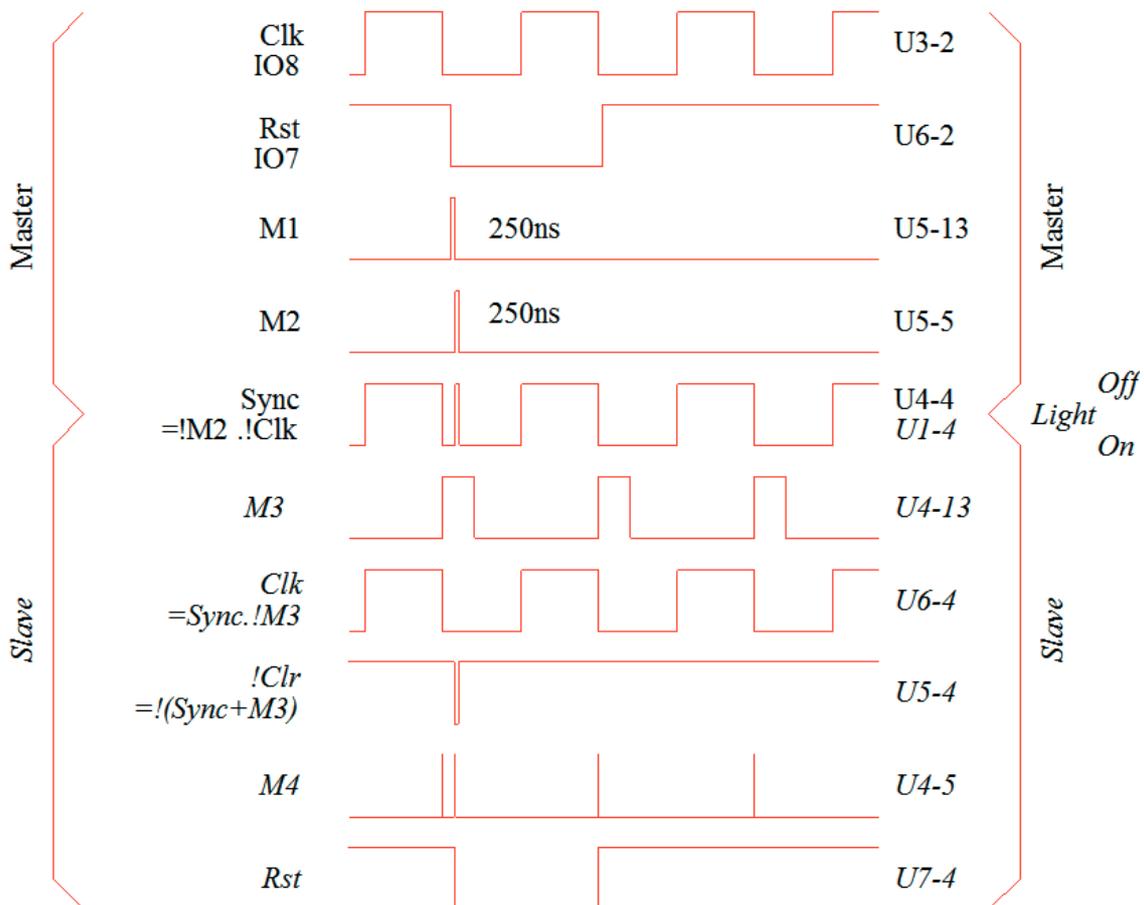


Figura 7 – Multiplexagem e demultiplexagem dos sinais de *Clock* e *Reset*

5. Resultados obtidos

O circuito desenhado para cumprir as funções descritas foi albergado numa caixa com seis terminais de aperto por parafuso, os três superiores destinados aos sinais de sincronismo e os três inferiores à alimentação (Figura 8), de montagem em calha DIN de 35mm uma vez que é este o tipo de montagem dos módulos da *Gantner*.

Os emissores e os receptores de fibra óptica, do tipo ST para fibra multimodo encontram-se localizados nas faces superior e inferior da caixa, sendo que, nos “*slaves*”, o emissor de cada face retransmite o sinal do receptor colocado na mesma face. No “*master*” apenas existem emissores.

Os esquemas eléctricos dos circuitos são apresentados nos anexos I (*master*) e II (*slave*).

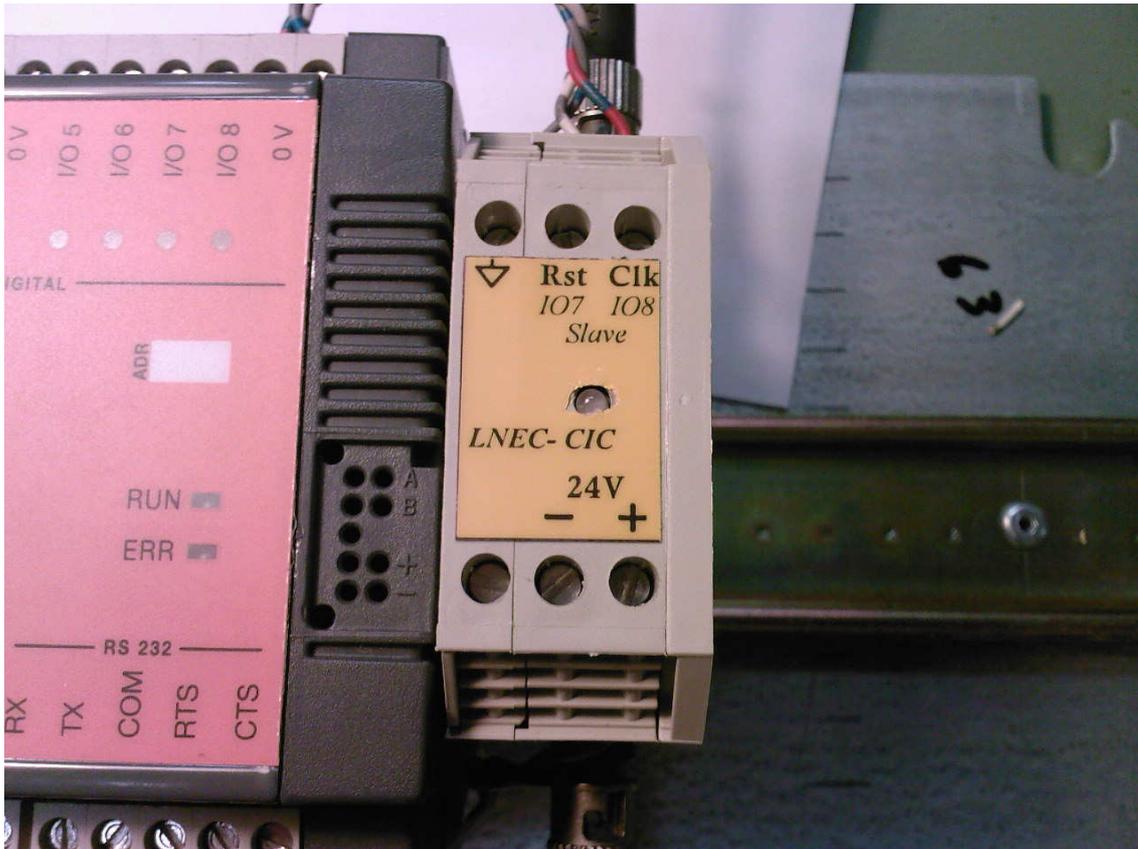


Figura 8 – Aspecto de um “slave”

Para a verificação das formas de onda e avaliação dos tempos de propagação dos sinais, interligaram-se dois circuitos “slaves” e um circuito “master” em sequência, utilizando para o efeito, apenas uma fibra óptica entre cada um dos circuitos. O “master” foi excitado pelos sinais de sincronismo gerados por um “e-gate” programado para esse efeito (sinal de *Clock* com frequência de 10 kHz e *Reset* de 1Hz) e observados a osciloscópio conjuntamente com os sinais correspondentes à saída de cada um dos “slaves”.

A Figura 9 refere-se ao sinal de “clock”, sendo apresentado a amarelo (canal 1) o sinal gerado pelo “e-gate”, a azul (canal 2) o obtido à saída do primeiro “slave” e a roxo (canal 3) o obtido à saída do segundo “slave”.

Expandindo a escala de tempos e centrando no flanco positivo (Figura 10) e negativo (Figura 11) do sinal do canal 2, “clock” à saída do primeiro “slave”, podemos verificar que, de “slave” para “slave” existe um atraso de cerca de 150 ns na propagação do flanco positivo e de cerca de 250 ns no do flanco negativo, tempos compatíveis com o funcionamento de um sistema que integre múltiplos “e-gates” sincronizados.

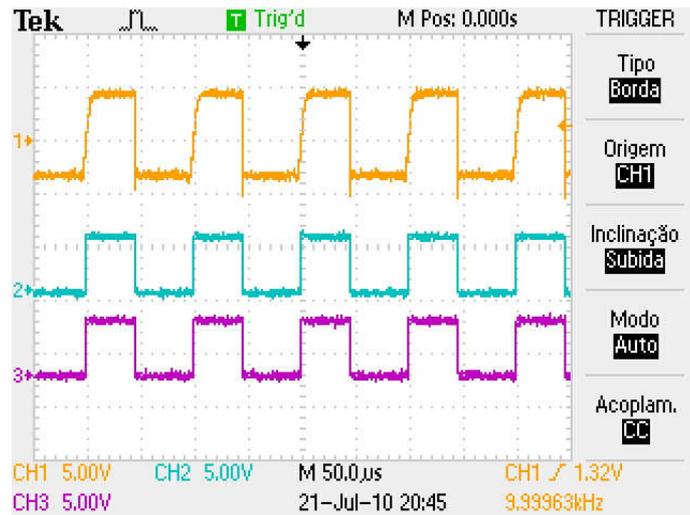


Figura 9 – Sinais de “Clock” à entrada do “master” e à saída dos “slaves”

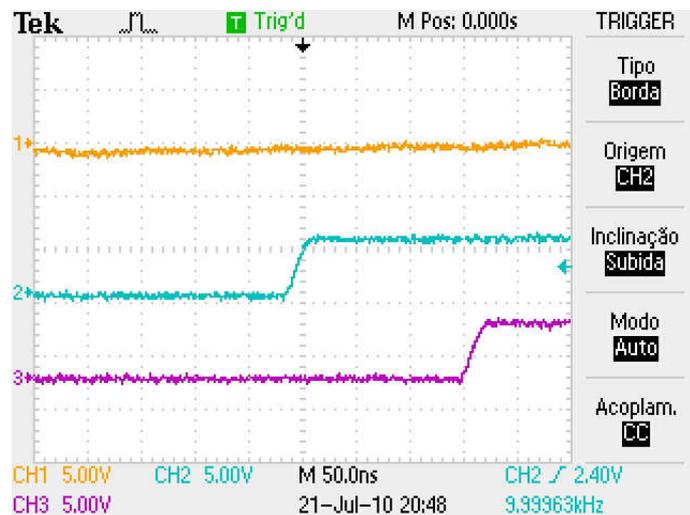


Figura 10 - Tempo de atraso do sinal do “Clock” entre “slaves” – Flanco positivo

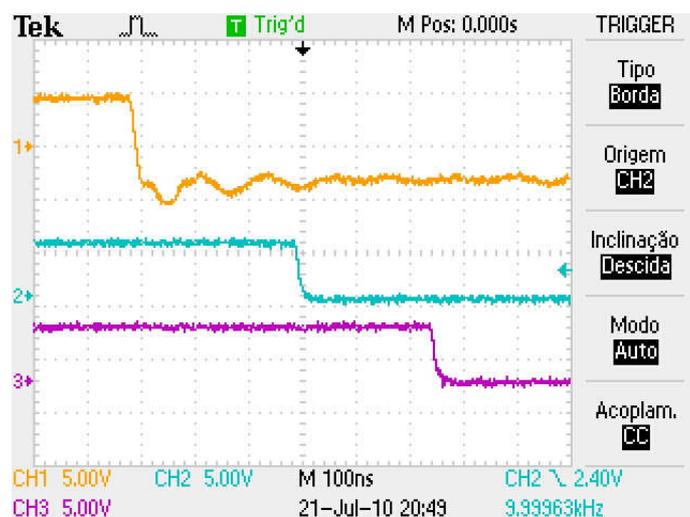


Figura 11 - Tempo de atraso do sinal do “Clock” entre “slaves” – Flanco negativo

As figuras 12, 13 e 14 são, basicamente, reproduções das figuras anteriores mas referidas ao sinal de “Reset”. Do mesmo modo, apresenta-se a amarelo (canal 1) o sinal gerado pelo “e-gate” e a azul (canal 2) e a roxo (canal 3) os sinais à saída dos primeiro e segundo “slaves”, respectivamente. Adicionou-se no canal 4 (a verde) o sinal de “clock” gerado pelo “e-gate” para facilitar a visualização das relações temporais dos sinais.

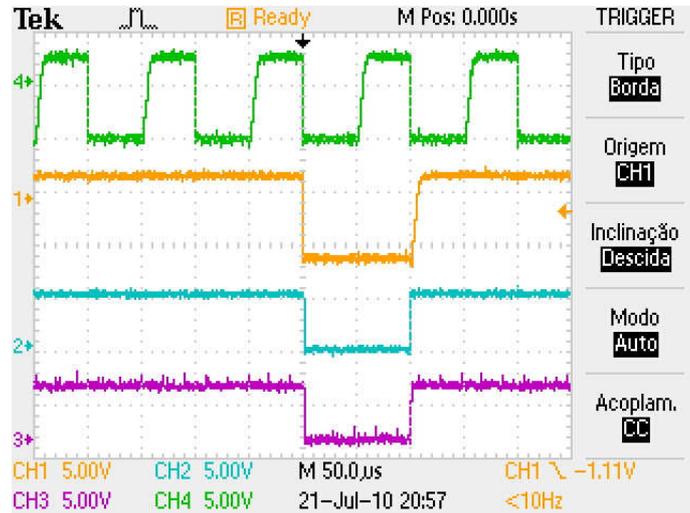


Figura 12 - Sinais de “Reset” à entrada do “master” e à saída dos “slaves”

À semelhança do sinal de “clock”, o atraso entre “slaves” do flanco negativo do sinal de “Reset” situa-se na ordem dos 150 ns e o do flanco negativo da ordem dos 250 ns.

Pelo modo de geração dos sinais, acima descrito, existe um atraso entre o sinal original e o do primeiro “slave” da ordem dos 600 ns, o que não põe em causa a temporização dos sinais de sincronismo.

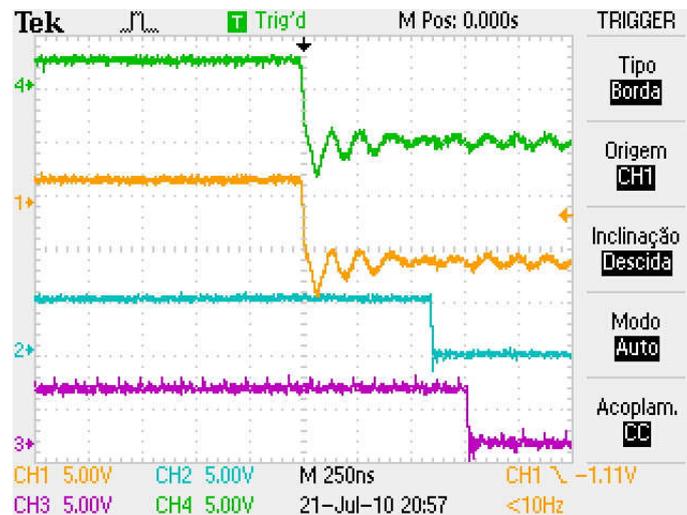


Figura 13 - Tempo de atraso do sinal do “Reset” – Flanco positivo

De notar que o flanco positivo dos sinais de “Reset” é determinado, como descrito, pelo flanco negativo do sinal de “clock”, não se relacionando com o comportamento do sinal de “Reset” original.

Este apresenta um tempo de subida da ordem dos 7,5 μ s, o que permite estimar aproximadamente a tolerância temporal dos sinais de sincronismo.

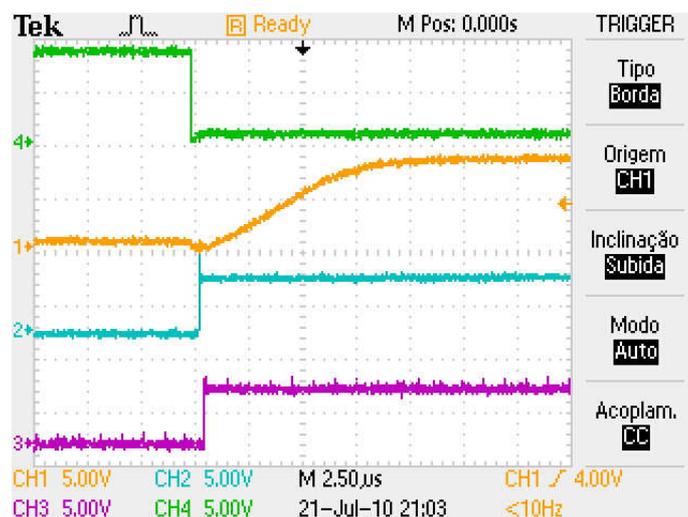


Figura 14 – Relações temporais dos sinais de “Reset”– Flanco negativo

6. Conclusões

O circuito desenvolvido, projectado e construído no Núcleo de Sistemas Electrotécnicos do CIC, cumpre os objectivos pretendidos designadamente:

- Transmissão dos sinais de sincronismo (“Reset” e “clock”) através de uma única fibra óptica entre conversores, por multiplexagem dos dois sinais no circuito “master” e sua regeneração nos circuitos “slave”.
- Implementação de um esquema redundante que garante a funcionalidade do sistema no caso de falha de uma fibra ou dispositivo (utilizando uma segunda fibra óptica).

Na presente data foram já construídas e instaladas duas versões que diferem unicamente na tensão nominal de alimentação. A versão de 12 V está integrada no sistema de observação dinâmica da barragem do Cabril e a versão de 24 V de tensão nominal de alimentação está integrada no sistema de observação dinâmica da ponte suspensa sobre o rio Tejo, em Lisboa.

Lisboa, Laboratório Nacional de Engenharia Civil, Outubro de 2010

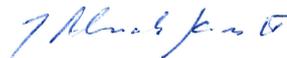
VISTOS

O Chefe do NSE



José de Almeida Garrett

AUTORIA



José de Almeida Garrett
Eng.º Electrotécnico, Especialista
Investigador-coordenador

O Director do CIC



Carlos Oliveira Costa



João dos Reis
Lic. Eng.ª Informática,
Lic. Engª Electrotécnica
Bolsheiro de Iniciação à Investigação Científica

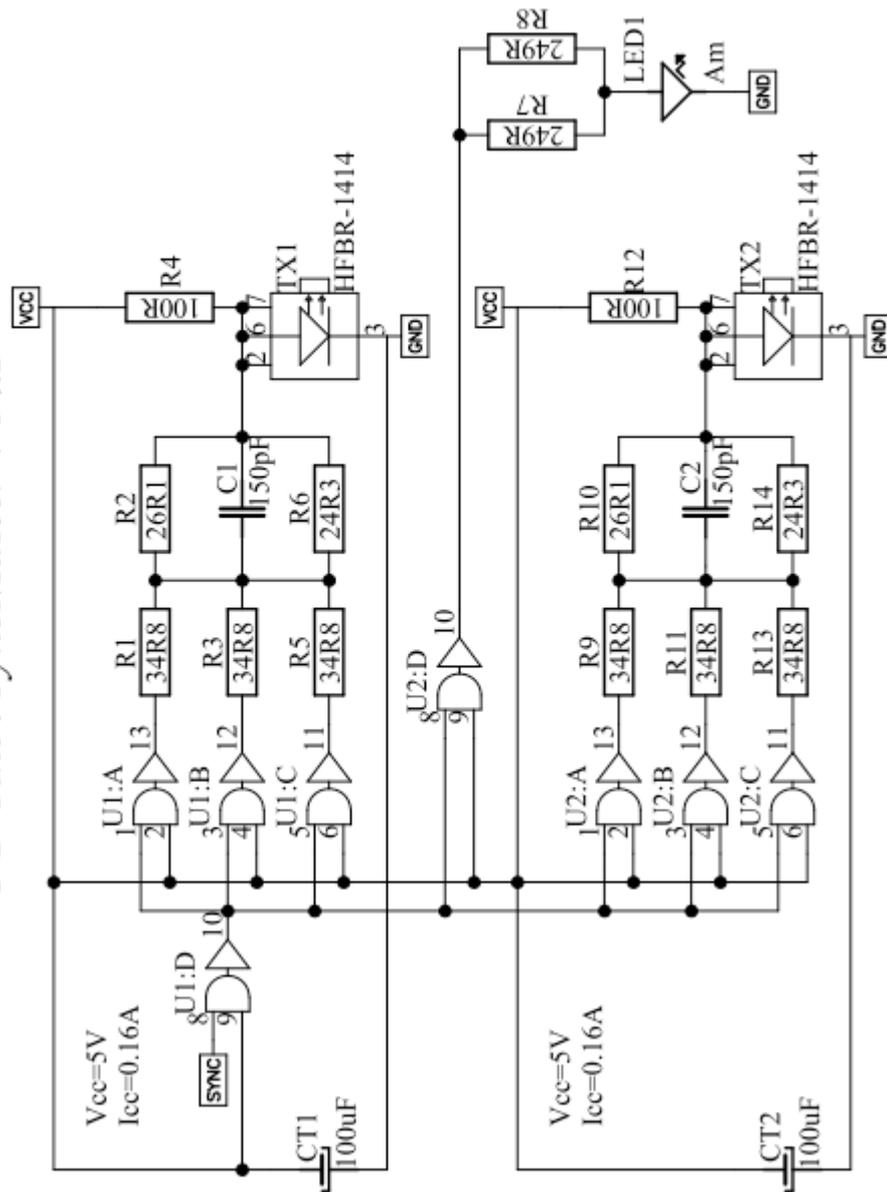
7. Referências bibliográficas

- [1] Gantner Instruments - *e.bloxx* Communication Guide: Version 1.20 .Schruns,
Austria: GANTNER INSTRUMENTS Test & Measurement GMBH, 2003

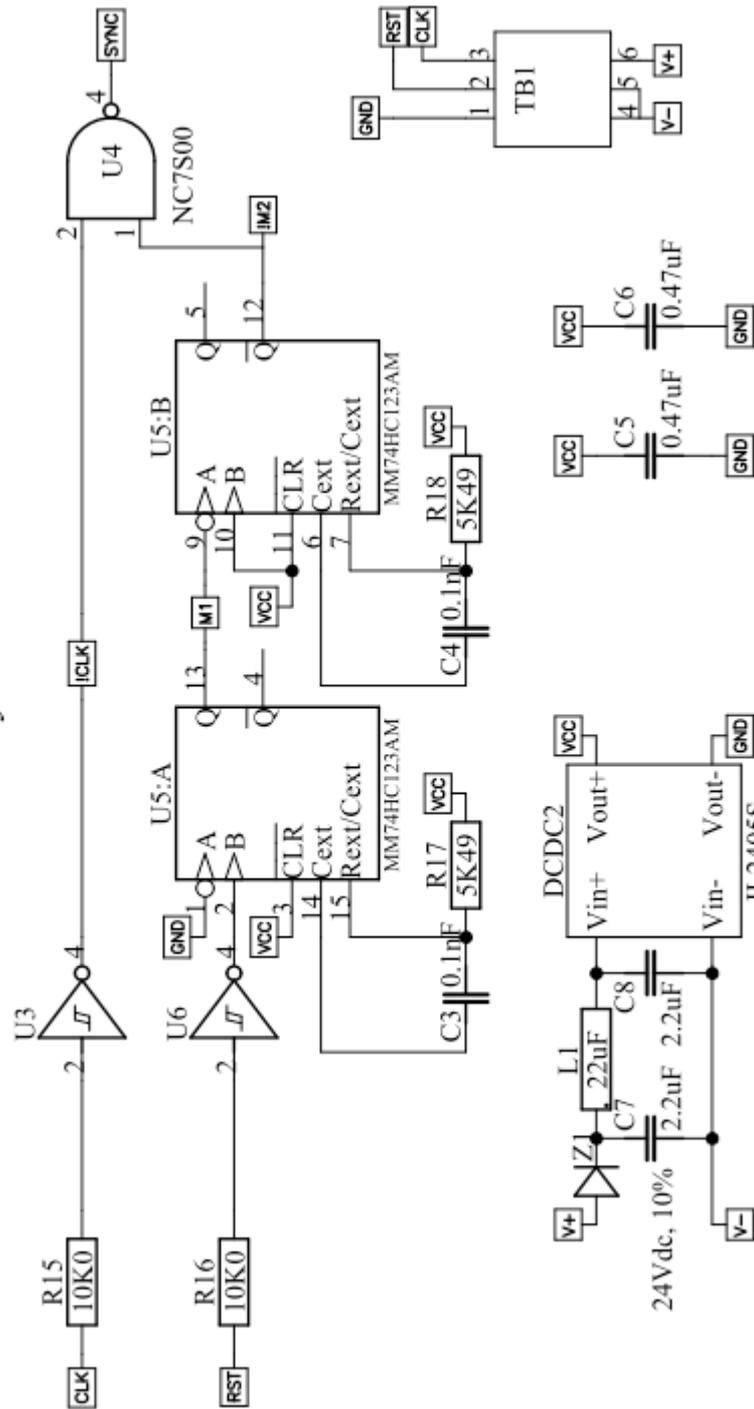
Anexo 1

*Desenho Esquemático do Circuito
FO-Sinc: Master*

FO-Sinc : SyncMaster V04.1



FO-Sinc : SyncMaster V04.1



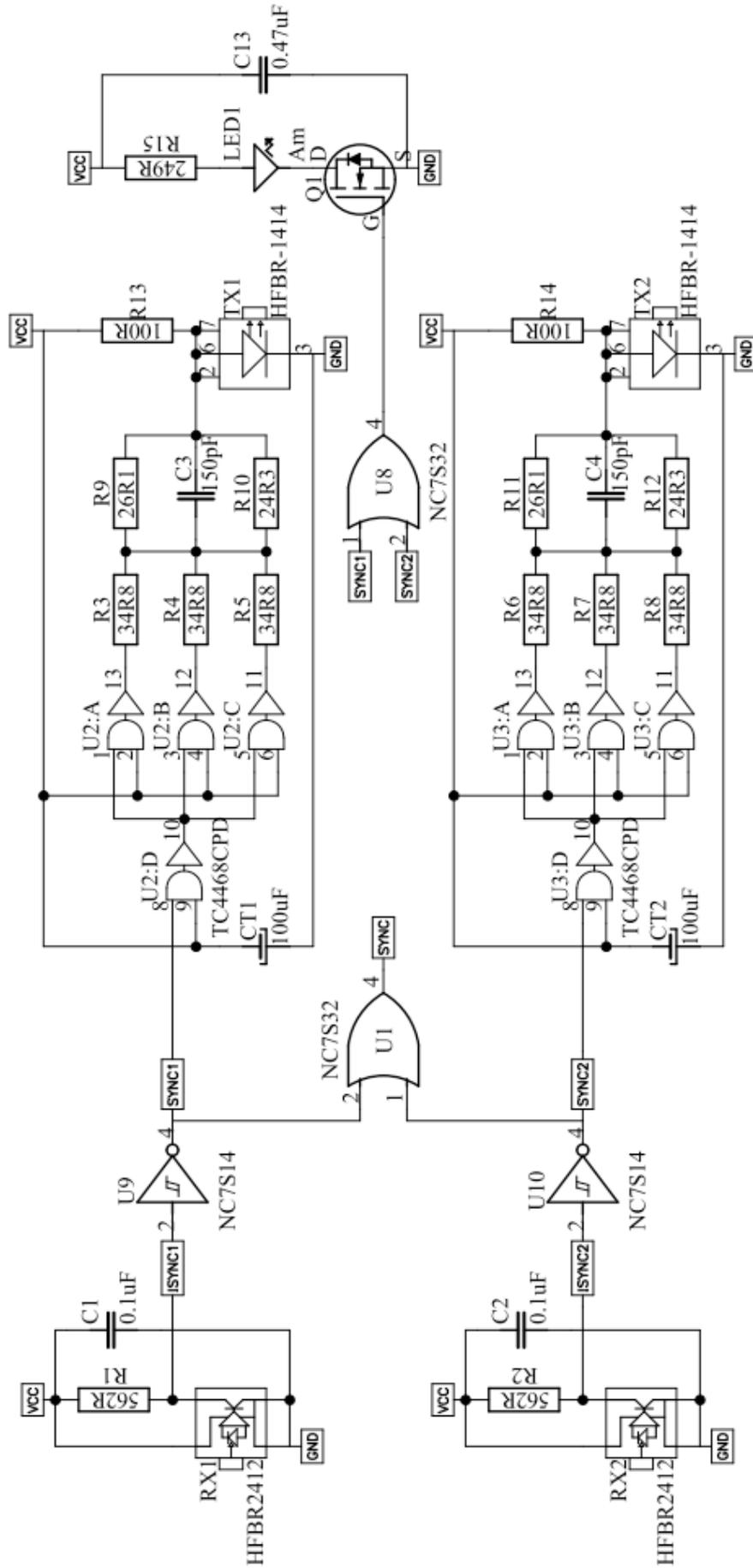
Difere da versão 3 no U5 (caixa SOIC16)

<i>FO-Sinc:Master Lista de Componentes</i>				
Código	Count	RefDes	Value	Description
8819874	2	C1, C2	150pF	Capacitor multilayer ceramiic 50V COG
9406115	2	C3, C4	0.1nF	Capacitor NPO 0603 50Vdc
9406190	2	C5, C6	0.47uF	Capacitor X7R 10V 10%
1288208	2	C7, C8	2.2uF	CAPACITOR 1206 2.2UF 50V X7R
4160356	2	CT1, CT2	100uF	Capacitor Tantalum Size V
1550992	1	DCDC2	IL2405S	DCDC converter 2W XP IL series
1457867	1	L1	22uF	INDUCTOR 1210 22μH ±20% 620MA
1170641	1	R1	34R8	Resistor 63mW 1%
1170630	1	R2	26R1	Resistor 63mW 1%
1170641	1	R3	34R8	Resistor 63mW 1%
1505855	1	R4	100R	Resistor MiniMelf MWR0207 0.4W 1% 50ppm/°C
1170641	1	R5	34R8	Resistor 63mW 1%
1170627	1	R6	24R3	Resistor 63mW 1%
1170725	2	R7, R8	249R	Resistor Thick Film 1% 100ppm/°C
1170641	1	R9	34R8	Resistor 63mW 1%
1170630	1	R10	26R1	Resistor 63mW 1%
1170641	1	R11	34R8	Resistor 63mW 1%
1505855	1	R12	100R	Resistor MiniMelf MWR0207 0.4W 1% 50ppm/°C
1170641	1	R13	34R8	Resistor 63mW 1%
1170627	1	R14	24R3	Resistor 63mW 1%
9330399	2	R15, R16	10K0	Resistor Thick Film 1% 100ppm/°C
1170863	2	R17, R18	5K49	Resistor Thick Film 1% 100ppm/°C
3187858	1	TB1	{Value}	Caixa DIN TYPE3
1173164	2	TX1, TX2	HFBR-1414	FO <i>High</i> speed ST module - <i>High</i> Power
1557406	2	U1, U2	{Value}	QUAD NAND 1.2A driver
1014136	1	U3, U4	{Value}	HS Tiny Logic 5pin SOT23
1013961	1	U5	MM74HC123AM	Mosnostavel <i>High</i> Spped CMOS SOIC16 150mil
1014136	1	U6	{Value}	HS Tiny Logic 5pin SOT23
9556915	1	Z1	{Value}	SCHOTTKY POWER SMD

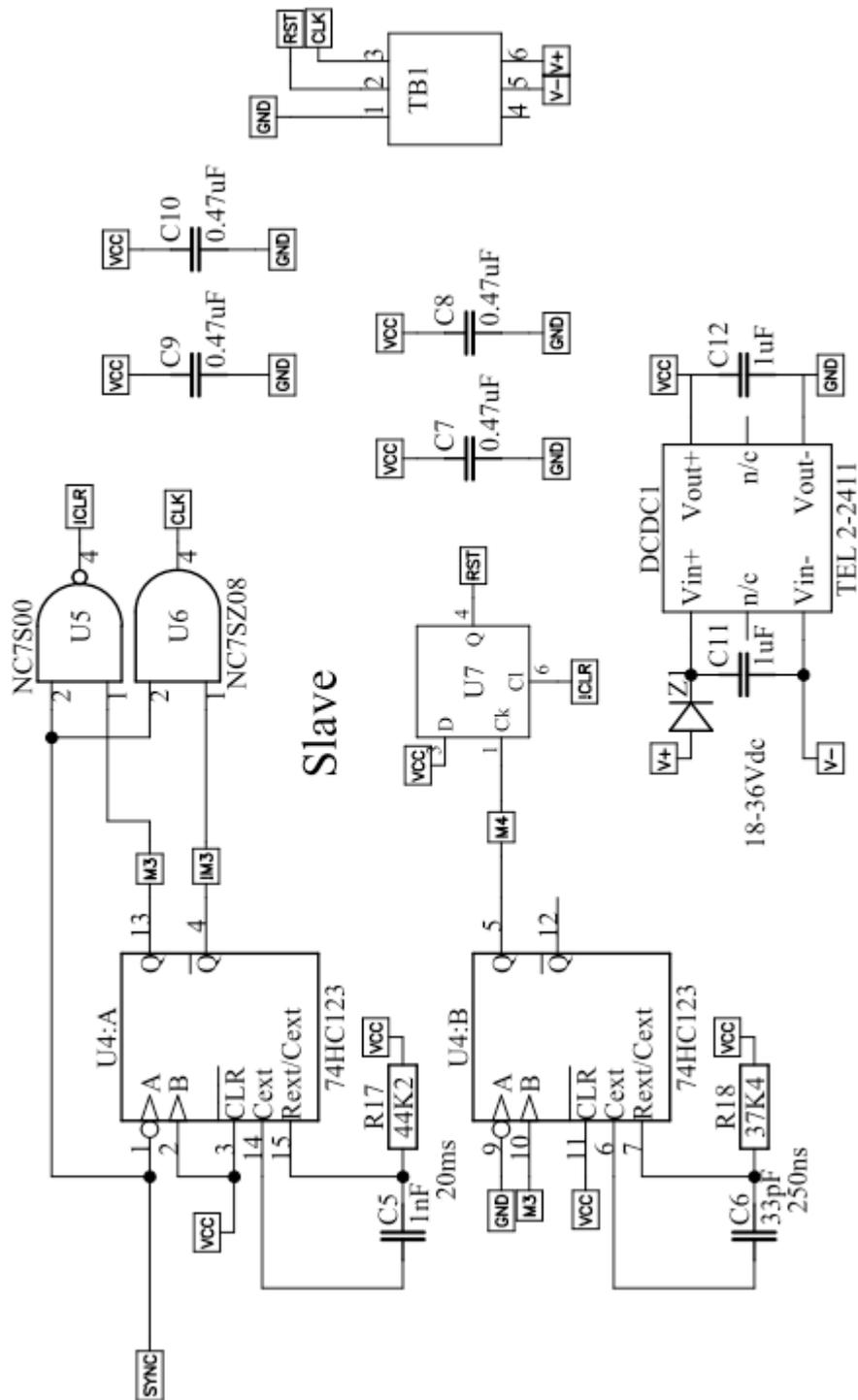
Anexo 2

*Desenho Esquemático do Circuito
FO-Sinc: Slave*

FO-SINC : Slave V04.1



FO-SINC: Slave V04.1



<i>FO-Sinc:Slave</i>		<i>Lista de componentes</i>		
Código	Count	RefDes	Value	Description
1288255	2	C1, C2	0.1uF	HI-CAP 0603 50V X7R
8819874	2	C3, C4	150pF	Capacitor multilayer ceramiic 50V COG
9406115	1	C5	1nF	Capacitor NPO 0603 50Vdc
1650763	1	C6	33pF	Capacitor NPO 0603 250Vdc 2% 30ppm/°C
9406190	4	C7 a C10	0.47uF	Capacitor X7R 10V 10%
1288202	2	C11, C12	1uF	CAPACITOR, 0603, 1UF, 25V, X5R
9406190	1	C13	0.47uF	Capacitor X7R 10V 10%
4160356	2	CT1, CT2	100uF	Capacitor Tantalum Size V
1007035	1	DCDC1	TEL 2-2411	DCDC converter 2W Traco Power TEL2 series
9845020	1	Q1	FDV303N	MOSFET Nchannel <i>low</i> power digital
1170763	2	R1, R2	562R	Resistor THICK FILM 1% 0603 63mW
1170641	6	R3 a R8	34R8	Resistor 63mW 1%
1170630	1	R9	26R1	Resistor 63mW 1%
1170627	1	R10	24R3	Resistor 63mW 1%
1170630	1	R11	26R1	Resistor 63mW 1%
1170627	1	R12	24R3	Resistor 63mW 1%
1505855	2	R13, R14	100R	Resistor MiniMelf MWR0207 0.4W 1% 50ppm/°C
1170725	1	R15	249R	Resistor Thick Film 1% 100ppm/°C
1170930	1	R17	44K2	Resistor Thick Film 1% 100ppm/°C
1170944	1	R18	37K4	Resistor Thick Film 1% 100ppm/°C
1247649	2	RX1, RX2	HFBR2412	HP FO receiver <i>low</i> cost
3187858	1	TB1	caixa	Caixa DIN TYPE3
1173164	2	TX1, TX2	HFBR-1414	FO <i>High</i> speed ST module - <i>High</i> Power
1014137	1	U1	NC7S32	Or Gate HS
1557406	2	U2, U3	TC4468CPD	QUAD NAND 1.2A driver
1601156	1	U4	74HC123	Mosnostavel <i>High</i> Spped CMOS
1014131	1	U5	NC7S00	HS Tiny Logic 5pin SOT23
1417655	1	U6	NC7SZ08	NC7S08P5X - NC7S TINY, SMD, SC70-5
1471001	1	U7	NC7SZ175	NC7SZ175P6 - NC7SZ, SMD
1014137	1	U8	NC7S32	Or Gate HS
1014136	2	U9, U10	NC7S14	HS Tiny Logic 5pin SOT23
9556915	1	Z1	MBR0520	SCHOTTKY POWER SMD

